



(11) Japanese Patent Laid-Open No. 70897/1992

(43) Laid-Open Date: March 5, 1992

(21) Application No. 185029/1990

(22) Date of Filing: July 12, 1990

(71) Applicant: NEC Corp.

RECEIVED

SEP 30 2003

Technology Center 2600

SPECIFICATION

Title of the Invention

Driving Circuit of Liquid Crystal Display Panel and
Its Driving Method

Claims

1. A driving circuit of a liquid crystal display panel which has a plurality of pixels comprising a plurality of FET switching devices and a plurality of liquid crystal display devices arranged in a matrix form and in which sources of said FET switching devices arranged in one horizontal line are all are connected to a common source and gates of said switching devices arranged in one vertical line are all are connected to a common gate line, characterized by comprising: a source driving circuit having a vertical transfer register for selecting and supplying vertically arranged switching devices in the above common source line of the above liquid crystal display panel using as a source signal a ramp pulse which

BEST AVAILABLE COPY

is generated by a ramp pulse generating circuit device; and a gate driving circuit having a horizontal transfer register for selectively generating a digital image signal which is generated by an A/D converting circuit and a plurality of pulse width modulating circuits each for supplying a gate signal of a pulse width corresponding to said digital image signal to said common gate line.

2. A driving method of a liquid crystal display panel, characterized by comprising the steps of: selectively supplying a ramp pulse in the vertical direction to a common source line which is common to each of a plurality of FET switching devices in one horizontal line constructing a plurality of pixels arranged in a matrix form; and selecting a pulse width modulation signal corresponding to an A/D converted digital image signal in the horizontal direction and supplying it to a common gate line which is common to every of the said FET switching devices in one vertical line.

Detailed Description of the Invention

[Industrial Field of Application]

The present invention relates to a driving circuit of a liquid crystal display panel and its driving method.

[Prior Art]

A liquid crystal display panel of an active matrix

type has pixels comprising switching devices and liquid crystal display devices arranged in a matrix form.

Fig. 3 is a circuit diagram of an example of a driving circuit of a conventional liquid crystal display panel.

A liquid crystal display panel 7 has a plurality of pixels characterized by a plurality of FET switching devices Q1a ... and a plurality of liquid crystal display devices C1a ... arranged in a matrix form. Gates of the switching devices Q1a, Q1b, ... arranged in a matrix form in the same horizontal line are connected to a common gate line 11a ... and sources of the switching devices Q1a, Q2a, ... arranged in a matrix form in the same vertical line are connected to a common source line 12a, 12b, ...

Gate terminals Ga, Gb, ... are connected to the common gate lines 11a, 11b, ..., respectively, and source terminals Sa, Sb, ... are connected to the common source lines 12a, 12b, ..., respectively.

A driving circuit of the liquid crystal display panel comprises: a source driving circuit 20s for supplying a sampling signal of an image signal v1 to the corresponding source terminals Sa, Sb, ...; and a gate driving circuit 20g for supplying a vertical selection signal v11a or v11b of a vertical transfer register 6a to the corresponding gate terminal Ga, Gb,

Fig. 4 is a voltage waveform chart of respective

portions for explaining the operation of the circuit of Fig. 3.

The common gate line 11a, 11b, ..., of the liquid crystal display panel 7 is selected by the vertical transfer register 6a of the gate driving circuit 20g, thereby turning on the horizontal switching devices (Q1a and Q1b) of the liquid crystal display panel 7.

An image signal v_a to be displayed on the liquid crystal display panel 7 is charged into a holding capacitor C10a, C10b, ..., by switches Q10a, Q10b, ..., of a sample and hold circuit 10a or 10b selected by the horizontal transfer register 1a of the source driving circuit 20s.

The charged image sampling signal allows the common source line 12a or 12b of the liquid crystal display panel 7 to be charged through a buffer amplifier 9a or 9b and allows the liquid crystal display device C1a, C1b, ..., to be charged through the horizontal switching device Q1a, Q1b, ..., of the liquid crystal panel selected by the vertical transfer register 6a, thereby performing a display.

[Problems that the Invention is to Solve]

In the above-mentioned driving circuit of the conventional liquid crystal display panel, since the image signal has to be sampled once and be then supplied to the common source line of the liquid crystal display panel, the source driving circuit to supply the signal to the source

line needs the sample and hold circuits and the output buffer circuits which can generate a precise analog voltage.

For example, with the current MOS LSI technique, it is difficult to realize a source driving circuit IC so as to have an output variation of \pm tens of mV or less.

There is such a drawback that when the source driving circuit has a variation of \pm tens of mV, the liquid crystal display panel displays unevenness.

[Means for Solving the Problems]

According to the invention, a driving circuit of a liquid crystal display panel, which has a plurality of pixels comprising a plurality of FET switching devices and a plurality of liquid crystal display devices arranged in a matrix form and in which sources of the FET switching devices arranged in one horizontal line are all are connected to a common source and gates of the switching devices arranged in one vertical line are all are connected to a common gate line, comprises: a source driving circuit having a vertical transfer register for selectively supplying vertically arranged switching devices in the above common source line of the liquid crystal display panel a ramp pulse which is generated by a ramp pulse generating circuit; and a gate driving circuit having a horizontal transfer register for selectively generating a digital image signal which is generated by an A/D

converting circuit and a plurality of pulse width modulating circuits each for supplying a gate signal of a pulse width corresponding to the digital image signal to the common gate line.

A driving method of a liquid crystal display panel of the invention comprises the steps of: selectively supplying a ramp pulse in the vertical direction to a common source line which is common to each of a plurality of FET switching devices in one horizontal line constructing a plurality of pixels arranged in a matrix form; and selecting a pulse width modulation signal corresponding to an A/D converted digital image signal in the horizontal direction and supplying it to a common gate line which is common to every in one vertical line of the said FET switching devices.

[Embodiment]

The invention will now be described with reference to the drawings.

Fig. 1 is a circuit diagram of an embodiment of the invention.

A driving circuit of a liquid crystal display panel comprises: a gate driving circuit 20G for selecting a pulse width modulation signal corresponding to an image signal in the horizontal direction and supplying it to a gate terminal GA, GB, ..., of a liquid crystal display panel 8;

The source driving circuit 20S has: a ramp pulse generating circuit 5 for supplying a ramp pulse vi to

sources of all of FET vertical switches Qa, Qb, ...; and a vertical transfer register 6 for applying a gate voltage v7a, v7b, ..., to one selected source terminals SA, SB ... through the vertical switches Qa, Qb, ...

The operation of the circuit will now be described. As shown in Fig. 2, the image signal v9 to be displayed is converted to the digital image signal v2 by the A/D converting circuit 10 of the gate driving circuit 20G. The digital image signal v2 of one horizontal scan is transferred in the horizontal direction by the horizontal transfer register 1 by inputting the clock signal v1 and is then latched in the latch circuit 2a, 2b, ...

As for the latched image data, a pulse width signal corresponding to the size of the image data is generated by the pulse width modulating circuit 3a, 3b, ..., thereby generating the output voltage v1a, v1b, ..., from the output buffer 4a, 4b, ...

The output buffers 4a, 4b, ... supply the output voltage v1a, v1b, ..., to the gate terminal GA, GB, ... corresponding to the pixel of the liquid crystal display panel 8, thereby turning on the FET switching terminals Q1a, Q2a, ...

On the other hand, the ramp voltage vi generated by the ramp generating circuit of the source driving circuit 20s is applied to a liquid crystal display device C1a, C1b, ..., through the FET switches Qa, Qb, ..., selected by the

vertical transfer register 6 from the source terminals SA, SB, ..., in the vertical direction of the liquid crystal display panel 8.

At that time, the switching terminal Q1a, Q1b, ..., connected to the one source line selected 12a, 12b ..., for example, the source line 12a is turned on while the buffer voltages v1a, v1b, ..., are applied to the common gate lines 11a, 11b, ... While the buffer voltages v1a, v1b, ..., is applied to the switching terminals Q1a, Q1b, ..., the switching terminal is turned on, the liquid crystal display element C1a, C1b, ..., connected to the drain of the switching devices Q1a, Q1b, ..., is charged by applying the ramp voltage vi through the switching devices.

When the pulse gate voltages v1a, v1b, ..., applied to the common gate lines 12a, 12b ..., are turned off, the switching terminals Q1a, Q1b ..., also turn off and hold the voltage at the level just before the OFF state.

It is sufficient to charge the liquid crystal display elements C1a, C1b, ..., corresponding to the pixel of the liquid crystal display panel 8 for one horizontal scanning period, for example, 60 μ s. Since variation in pulse widths of the pulse-width modulated output pulses v1a, v1b ... is in the tens of ns, a variation in voltages to be charged in the liquid crystal display elements is several thousand times less than of the input voltage, so that a

variation in luminance of the liquid crystal display panel is reduced to a level comparable with that by the conventional sample and hold circuit.

[Effects of the Invention]

As mentioned above, according to the invention's driving circuit of the liquid crystal display panel and its driving method, the gates of the switching devices in the same horizontal line of the liquid crystal display panel having pixels constructed by the switching devices and the liquid crystal display elements arranged in a matrix form are connected by a common gate line, the sources of the switching devices in the same vertical line are connected by a common source line, a pulse whose pulse width has been modulated in correspondence to the level of an image signal is supplied to the common gate line by the gate driving circuit, a ramp voltage is applied to only the common source line selected by the vertical transfer register of the source driving circuit, and the liquid crystal display element is charged through the switching element connected to the source line, so that no IC requiring a high-precise analog device similar to the conventional device is needed in the driving circuit and the construction can be realized by using simple digital circuits. Consequently, image deterioration due to a variation in output voltages of the driving circuit can be prevented.

Brief Description of the Drawings

Fig. 1 is a circuit diagram of an embodiment of the present invention; Fig. 2 is a voltage waveform chart of respective portions for explaining the operation of the circuit of Fig. 1; Fig. 3 is a circuit diagram of an embodiment of a driving circuit of a conventional liquid crystal display panel; and Fig. 4 is a voltage waveform chart of respective portions for explaining the operation of the circuit of Fig. 3.

1 ... horizontal transfer register, 2a, 2b ... latch circuits, 3a, 3b ... pulse width modulating circuits, 4a, 4b ... output buffers, 5 ... ramp pulse generating circuit, 6 ... vertical transfer register, 7 ... liquid crystal display panel, 8 ... liquid crystal display panel, 9a, 9b ... output buffers, 10 ... A/D converting circuit, Qa, Qb ... selecting switches, Q1a, Q1b, Q2a, Q2b ... switching elements, Q10a, Q10b ... switches, C1a, C1b, C2a, C2b ... liquid crystal display elements, C10a, C10b ... holding capacitors, 11a, 11b ... common gate lines, 12a, 12b ... common source lines, T1 ... clock input terminal, T2 ... data signal input terminal, T3 ... latch signal input terminal, T4 ... pulse signal input terminal for pulse width modulation, T5 ... clock input terminal, T6 ... start signal input terminal, T7 ... image signal input terminal, T8 ... clock input terminal, v1 ...

clock signal voltage, v2 ... data signal voltage, v3 ... latch signal voltage, v4 ... pulse signal voltage for pulse width modulation, v5 ... clock signal voltage, v6 ... start signal voltage, v9 ... image signal input voltage, vi ... output voltage of ramp pulse generating circuit, v1a, v1b ... output voltages of output buffers, v2a, v2b ... output voltages of switches Qa and Qb, v8a, v8b ... gate voltages of switches Q10a, Q10b ... , v7a, v7b ... output voltages of vertical transfer register, v10a, v10b ... output voltages of output amplifiers 9a, 9b, ... , v11a, v11b ... voltages of common gate lines 11a, 11b

[Fig. 1]

1 ... Horizontal transfer register, 2a ... Latch circuit, 3a ... Pulse width modulating circuit, 4a ... Inverter, 5 ... Ramp pulse generating circuit, 6 ... Vertical transfer register, 8 ... Liquid crystal display panel, 10 ... A/D converting circuit, 20G ... Gate driving circuit, 20S ... Source driving circuit

[Fig. 2]

v1 ... Clock signal, v2 ... Data signal, v3 ... Latch signal, v4 ... Pulse signal for pulse width modulation, v1a ... Voltage of output buffer 4a, v1b ... Voltage of output buffer 4b, v6 ... Start signal, vi ... Ramp voltage, v7a ... Gate voltage of vertical selecting switch, v7b ... Gate voltage of vertical selecting switch, v3a ... Voltage of liquid crystal display element C1a, v3b ... Voltage of liquid crystal display element C1b, v4a ... Voltage of liquid crystal display element C2a, v4b ... Voltage of liquid crystal display device C2b

[Fig. 3]

1a ... Horizontal transfer register, 6a ... Vertical transfer register, 7 ... Liquid crystal display panel, 9a ... Buffer, 10a ... Sampling and holding circuit, 20g ... Gate driving circuit, 20s ... Source driving circuit

[Fig. 4]

v1 ... Clock signal, v8a ... Gate voltage of switch Q10a, v8b ... Gate voltage of switch Q10b, v9 ... Input image signal, v10a

... Output voltage of output amplifier 9a, v10b ... Output
voltage of output amplifier 9b, v11a ... Voltage of common
gate line 11a, v11b ... Voltage of common gate line 11b

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-70897

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月5日

G 09 G 3/36
G 02 F 1/133
1/1365 5 0
5 0 08621-5G
8806-2K
9018-2K

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 液晶表示パネルの駆動回路およびその駆動方法

⑯ 特 願 平2-185029

⑰ 出 願 平2(1990)7月12日

⑱ 発 明 者 斉 藤 正 東京都港区芝5丁目7番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

液晶表示パネルの駆動回路およびその駆動方法

特許請求の範囲

1. マトリックス状に配置された複数のFETスイッチ素子と複数の液晶表示素子を備えた複数の画素を有し、前記FETスイッチ素子のソースをそれぞれ水平方向毎に共通ソース線に接続し、かつ前記スイッチ素子のゲートをそれぞれ垂直方向に共通ゲート線に接続した液晶表示パネルの前記共通ソース線に、ランパルス発生回路の出力するランパルスをソース信号として垂直スイッチ素子を制御して選択・供給する垂直転送レジスタを有するソース駆動回路と、A/D変換回路の出力するデジタル画像信号を選択・出力する水平転送レジスタ及び前記デジタル画像信号に対応するパルス幅のゲート信号を前記共通ゲート線に供給する複数のパルス幅変換回路を有するゲ-

ト駆動回路とを含むことを特徴とする液晶表示パネルの駆動回路。

2. マトリックス状に配置された複数の画素を構成する複数のFETスイッチ素子の水平方向毎に共通な共通ソース線に、ランパルスを垂直方向に選択して供給すると共に、A/D変換されたデジタル画像信号に対応するパルス幅変換信号を水平方向に選択して前記FETスイッチ素子の垂直方向毎に共通な共通ゲート線に供給することとを特徴とする液晶表示パネルの駆動方法。

発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示パネルの駆動回路及びその駆動方法に関する。

(従来の技術)

アクティブマトリックス型の液晶表示パネルは、マトリックス状に配置したスイッチ素子と液晶表示素子から成る画素を有している。

第3図は従来の液晶表示パネルの駆動回路を-

特開平4-70897(2)

例の回路図である。

液晶表示パネル7は、マトリックス状に配置された複数のFETスイッチ素子Q1a…と液表示素子C1a…から成る複数の画素を有し、このマトリックス状に配置した同一水平方向の各スイッチ素子Q1a、Q1b…のゲートは共通ゲート線J1a…に接続し、またマトリックス状に配置した同一垂直方向の各スイッチ素子Q1a、Q2a…のソースは共通ソース線J2a、J2b…に接続されている。

ゲート線Ga、Gb…はそれぞれ共通ゲート線J1a、J1b…に接続され、ソース線Sa、Sb…はそれぞれ共通ソース線J2a、J2b…に接続されている。

液晶表示パネルの駆動回路は、画像信号v1のサンプリング信号を対応するソース線Sa、Sb…に供給するソース駆動回路20sと、垂直駆送レジスタ6aの垂直選択信号v11a、v11bを対応するゲート線Ga、Gb…に供給するゲート駆動回路20gとを有している。

画像信号を一度サンプリングしてから液晶表示パネルの共通ソース線に印加しなければならないため、ソース線に信号を印加するためのソース駆動回路は正確なアナログ電圧が出力できるサンプルホールド回路と出力バッファ回路が必要となる。

例えば現在のMOSLSI技術では±数十mV以下の出力バラツキになるようにソース駆動回路をIC化するのは困難である。

ソース駆動回路が±数十mVバラツクト液晶表示パネルに表示むらとして現れてくる欠点があった。

〔課題を解決するための手段〕

本発明の液晶表示パネルの駆動回路は、マトリックス状に配置された複数のFETスイッチ素子と複数の液晶表示素子を備えた複数の画素を有し、前記FETスイッチ素子のソースをそれぞれ水平方向毎に共通ソース線に接続し、かつ前記スイッチ素子のゲートをそれぞれ垂直方向に共通ゲート線に接続した液晶表示パネルの前記共通ソース線に、ランパルス発生回路の出力するランパ

第4図は第3図の回路の動作を説明するための各部の電圧波形図である。

液晶表示パネル7の共通ゲート線J1a、J1b…はゲート駆動回路20gの垂直駆送レジスタ6aにより選択され、液晶表示パネル7の水平のスイッチ素子Q1a、Q1bをオンにする。

液晶表示パネル7に表示するための画像信号vaはソース駆動回路20sの水平駆送レジスタ1aにより選択されたサンプルホールド回路10a、10bのスイッチQ10a、Q10b…によりホールドコンデンサC10a、C10b…に充電される。

充電された画像サンプリング信号はバッファアンプ9a、9bを通して液晶表示パネル7の共通ソース線J2a、J2bを充電し、垂直駆送レジスタ6aにより選択されている液晶パネルの各水平スイッチ素子Q1a、Q1b…を介して液晶表示素子C1a、C1b…を充電して表示をする。

〔発明が解決しようとする課題〕

上述した従来の液晶表示パネルの駆動回路は、

パルスをソース信号として垂直スイッチ素子を制御して選択・供給する垂直駆送レジスタを有するソース駆動回路と、A/D変換回路の出力するデジタル画像信号を選択・出力する水平駆送レジスタ及び前記デジタル画像信号に対応するパルス幅のゲート信号を前記共通ゲート線に供給する複数のパルス幅変調回路を有するゲート駆動回路とを含んで構成されている。

また、本発明の液晶表示パネルの駆動方法は、マトリックス状に配置された複数の画素を構成する複数のFETスイッチ素子の水平方向毎に共通な共通ソース線に、ランパルスを垂直方向に選択して供給すると共に、A/D変換されたデジタル画像信号に対応するパルス幅変調信号を水平方向に選択して前記FETスイッチ素子の垂直方向毎に共通な共通ゲート線に供給して構成されている。

〔実施例〕

次に、本発明について図面を参照して説明する。

特開平4-70897(3)

第1図は本発明の一実施例の回路図である。

液晶表示パネルの駆動回路は、画像信号に対応するパルス幅変調信号を水平方向に選択して液晶表示パネル8のゲート端GA、GB…に供給するゲート駆動回路20Gと、ランプパルスを垂直方向に選択してパネル8のソース端SA、SB…に供給するソース駆動回路20Sを有している。

液晶表示パネル8は、第3図の従来の液晶表示パネル7と異なるゲート端GA、GB…とソース端SA、SB…が水平転送レジスタ1と垂直転送レジスタ6に対して入換って接続している。

ゲート駆動回路20Gは、画像信号v9を入力してデジタル画像信号v2を出力するA/D変換回路10とデジタル画像信号v2を入力してラッチ回路2a、2b…に多ビットのデータを与えるための水平転送レジスタ1と、多ビットデータとラッチ信号v3を入力して画像信号v9の大きさに対応したデータをラッチするラッチ回路2a、2b…と、ラッチ出力とパルス幅変調用パルス信号v4を入力してそれぞれインバータ4a、

4b…を介して液晶表示パネル8のゲート端GA、GB…に画像信号v9の大きさに応じたパルス幅のゲート信号v1a、v1bを供給するパルス幅変調回路3a、3b…とを有している。

ソース駆動回路20Sは、ランプパルスviを全FET垂直スイッチQa、Qb…のソースに供給するランプパルス発生回路5と垂直スイッチQa、Qb…にゲート電圧v7a、v7b…をソース端SA、SB…の選択された端子に印加するための垂直転送レジスタ6とを有している。

次に回路の動作を説明する。第2図に示すように、ゲート駆動回路20GのA/D変換回路10により表示するための画像信号v9をデジタル画像信号v2に変換し、クロック信号v1を入力して1水平走査分のデジタル画像信号v2を水平転送レジスタ1により水平方向に転送し、ラッチ回路2a、2b…にラッチする。

ラッチされた画像データはパルス幅変調回路3a、3b…によって画像データの大きさに対応しただけのパルス幅信号を発生して出力バッファ4

a、4b…から出力電圧v1a、v1b…を出力する。

出力バッファ4a、4b…は液晶表示パネル8の画素に対応したゲート端GA、GB…に出力電圧v1a、v1b…を供給してFETスイッチ端子Q1a、Q2a…をオンにする。

一方、ソース駆動回路20Sのランプ発生回路により発生したランプ電圧viは、液晶表示パネル8の垂直方向のソース端SA、SB…を垂直転送レジスタ6により選択されたFETスイッチQa、Qb…を介して液晶表示素子C1a、C1b…に与えられる。

このとき、選択されたソース線j2a、j2b…、例えば、j2aに接続された各スイッチ端子Q1a、Q1b…は、各共通ゲート線j1a、j1b…にバッファ電圧v1a、v1b…が印加している間、オン状態となり、各スイッチ端子Q1a、Q1b…にバッファ電圧v1a、v1b…が印加している間、オン状態となり、各スイッチ素子Q1a、Q1b…のドレインに接続された液晶

表示素子C1a、C1b…は各スイッチ素子を介してランプ電圧viが印加されて充電される。

共通ゲート線j2a、j2b…に印加されているパルスゲート電圧v1a、v1b…がオフとなると、各スイッチ端子Q1a、Q1b…もオフ状態となり、オフになった直前の電圧を保持する。

液晶表示パネル8への各画素に対応した液晶表示素子C1a、C1b…の充電は一水平走査期間内、例えば60μsに行なえばよく、パルス幅変調された出力パルスv1a、v1b…のパルス幅のバラツキは数十ns程度であるため、液晶表示素子に充電される電圧バラツキは入力電圧の数千分の1となり、液晶表示パネルの輝度バラツキは、従来のサンプリングホールド回路によるものに比べて低減される。

〔発明の効果〕

以上説明したように本発明の液晶表示パネルの駆動回路およびその駆動方法は、マトリックス状に配置したステッチ素子と、液晶表示素子から成る画素を有する液晶表示パネルの同一水平方向の

特開平4-70897 (4)

各スイッチ素子のゲートを共通ゲート線で接続し、同一垂直方向の各スイッチ素子のソースを共通ソース線で接続し、共通ゲート線にはゲート駆動回路によって画像信号の大きさに対応してパルス幅変調したパルスを印加し、共通ソース線には、ソース駆動回路の垂直転送レジスタによって選択した共通ソース線にのみランプ電圧を印加し、このソース線に接続されているスイッチ素子を通して液晶表示素子を充電することにより、駆動回路には従来のような高精度アナログ素子を必要とするICが不要となり簡単なデジタル回路で構成が可能となるため、駆動回路の出力電圧のばらつきによる画質劣化を防ぐことができる。

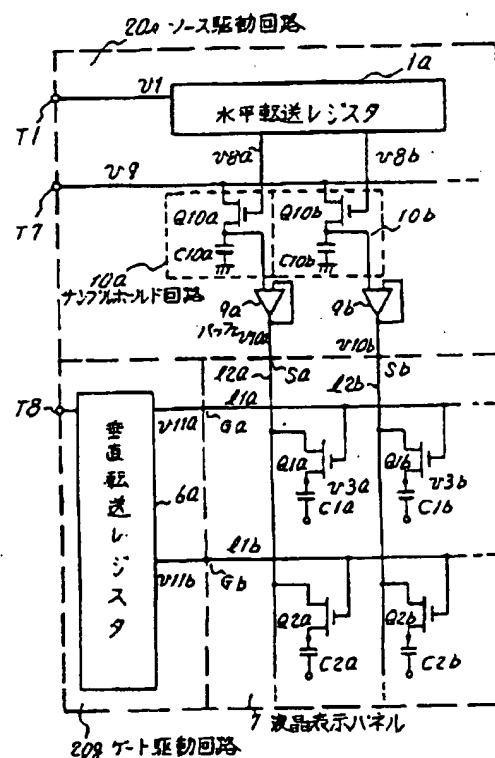
図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は第1図の回路の動作を説明するための各部の電圧波形図、第3図は従来の液晶表示パネルの駆動回路の一例の回路図、第4図は第3図の回路の動作を説明するための各部の電圧波形図である。

1…水平転送レジスタ、2a、2b…ラッチ回路、3a、3b…パルス幅変調回路、4a、4b…出力バッファ、5…ランプパルス発生回路、6…垂直転送レジスタ、7…液晶表示パネル、8…液晶表示パネル、9a、9b…出力バッファ、10…A/D変換回路、Qa、Qb…選択スイッチ、Q1a、Q1b、Q2a、Q2b…スイッチ素子、Q10a、Q10b…スイッチ、C1a、C1b、C2a、C2b…液晶表示素子、C10a、C10b…ホールドコンデンサ、J1a、J1b…共通ゲート線、J2a、J2b…共通ソース線、T1…クロック入力端子、T2…データ信号入力端子、T3…ラッチ信号入力端子、T4…パルス幅変調用パルス信号入力端子、T5…クロック入力端子、T6…スタート信号入力端子、T7…画像信号入力端子、T8…クロック入力端子、v1…クロック信号電圧、v2…データ信号電圧、v3…ラッチ信号電圧、v4…パルス幅変調用パルス信号電圧、v5…クロック信号電圧、v6…スタート信号電圧、v9…画像信号入力電圧、v

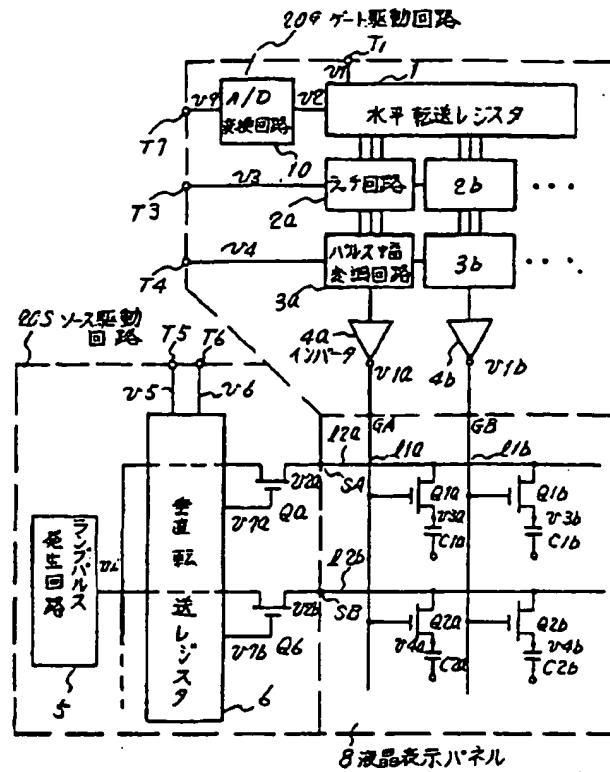
1…ランプパルス発生回路の出力電圧、v1a、v1b…出力バッファ出力電圧、v2a、v2b…スイッチQa、Qbの出力電圧、v8a、v8b…スイッチQ10a、Q10b…のゲート電圧、v7a、v7b…垂直転送レジスタの出力電圧、v10a、v10b…出力アンプ9a、9b…の出力電圧、v11a、v11b…共通ゲート線J1a、J1b…の電圧。

代理人 弁理士 内 原 晋

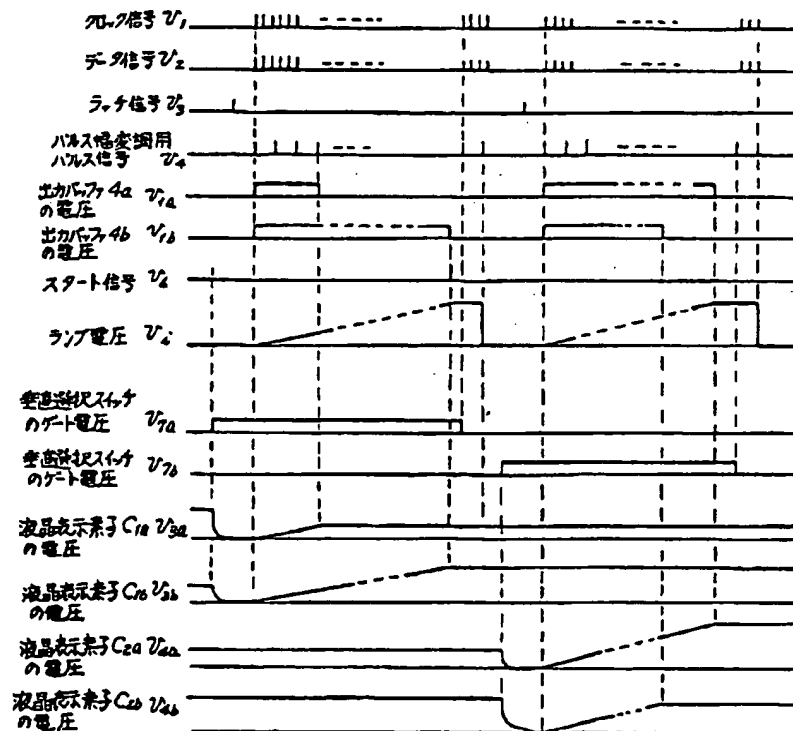


第 3 図

特開平4-70897 (5)

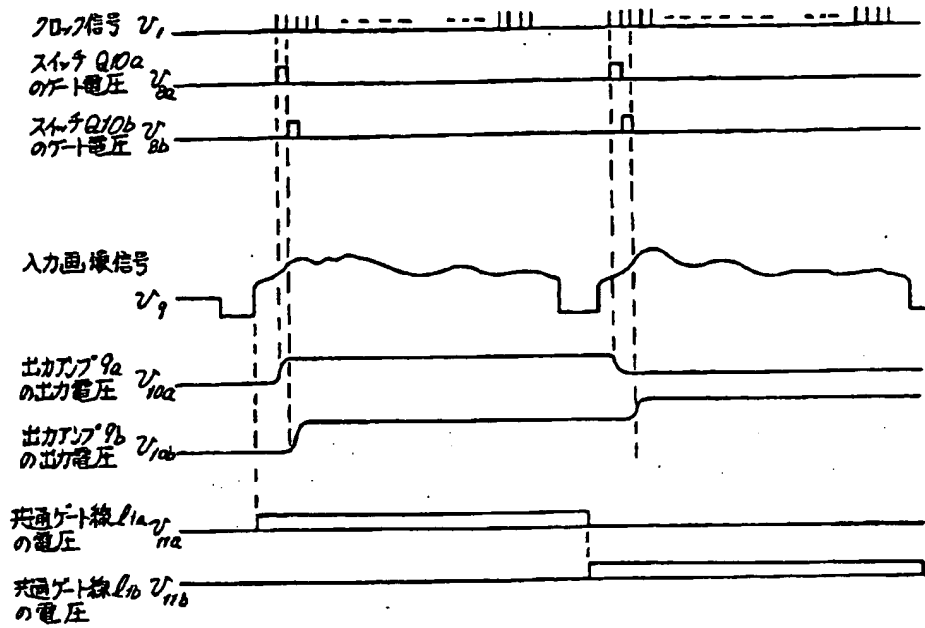


第1図



第2図

特開平4-70897(6)



第4図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.